

PIN / FETの開発 (Ⅶ) 電極技術

目 次

1. はじめに	2
2. 電極プロセスの概要	3
3. 各プロセスの検討	6
3.1 蒸着前処理工程	6
3.2 電極およびパッド蒸着工程	7
3.3 リフト・オフ工程	9
3.4 シンター工程	11
3.5 裏面蒸着工程	13
4. Au / Sm / Au電極の評価	15
4.1 コンタクト抵抗	15
4.2 シンター後の表面の荒れ	16
5. まとめ	19
参考文献	20

1. はじめに

我々は、PINホトダイオードと接合型FETを集積化したPIN/FETを開発してきた。PIN/FETは増幅機能を持つ受光素子であり、同様の機能を持つAPDに比べ多くの利点を有する。

今回試作したPIN/FETは、半絶縁性 I_mP 基板上にエピタキシャル成長した m 型 I_mGaAs 層に Σ_m 拡散、電極蒸着等のプロセスを行って作製される。本技術資料では、PIN/FET製造プロセスのうち、電極プロセス技術について報告する。

以下、2節においては現行の電極プロセスの概要を述べ、3節において各工程ごとの詳細を述べる。さらに4節において現在用いている $A_m/S_m/A_m$ 電極に対する評価を行う。

2. 電極プロセスの概要

PIN/FETの電極プロセスおよびその前後の工程を図1に示す。図中2重枠で囲んだ工程が、本資料で述べる電極プロセスである。以下、各工程について簡単に説明する。

リフト・オフ用 Si_3N_4 堆積工程は、リフト・オフを容易にするための Si_3N_4 膜を堆積するもので、その必要性については「3.3 リフト・オフ工程」の項において述べる。また、工程の詳細については技術資料「PIN/FETの開発(Ⅶ)パッシベーション技術」に述べられている。電極フォトリソ工程は、電極のレジスト・パターンをフォトリソグラフィ技術によって形成するもので詳細は技術資料「PIN/FETの開発(Ⅵ)フォトリソ技術」に述べられている。

蒸着前処理工程は、電極フォトリソ工程で形成されたレジスト・パターンをマスクとして Si_3N_4 膜を基板表面までエッチングすると同時に、蒸着を行う基板表面の清浄化を行う工程である。電極蒸着工程においては、電子ビーム蒸着（以後EB蒸着と略す）によって $\text{Au}/\text{Sn}/\text{Au}$

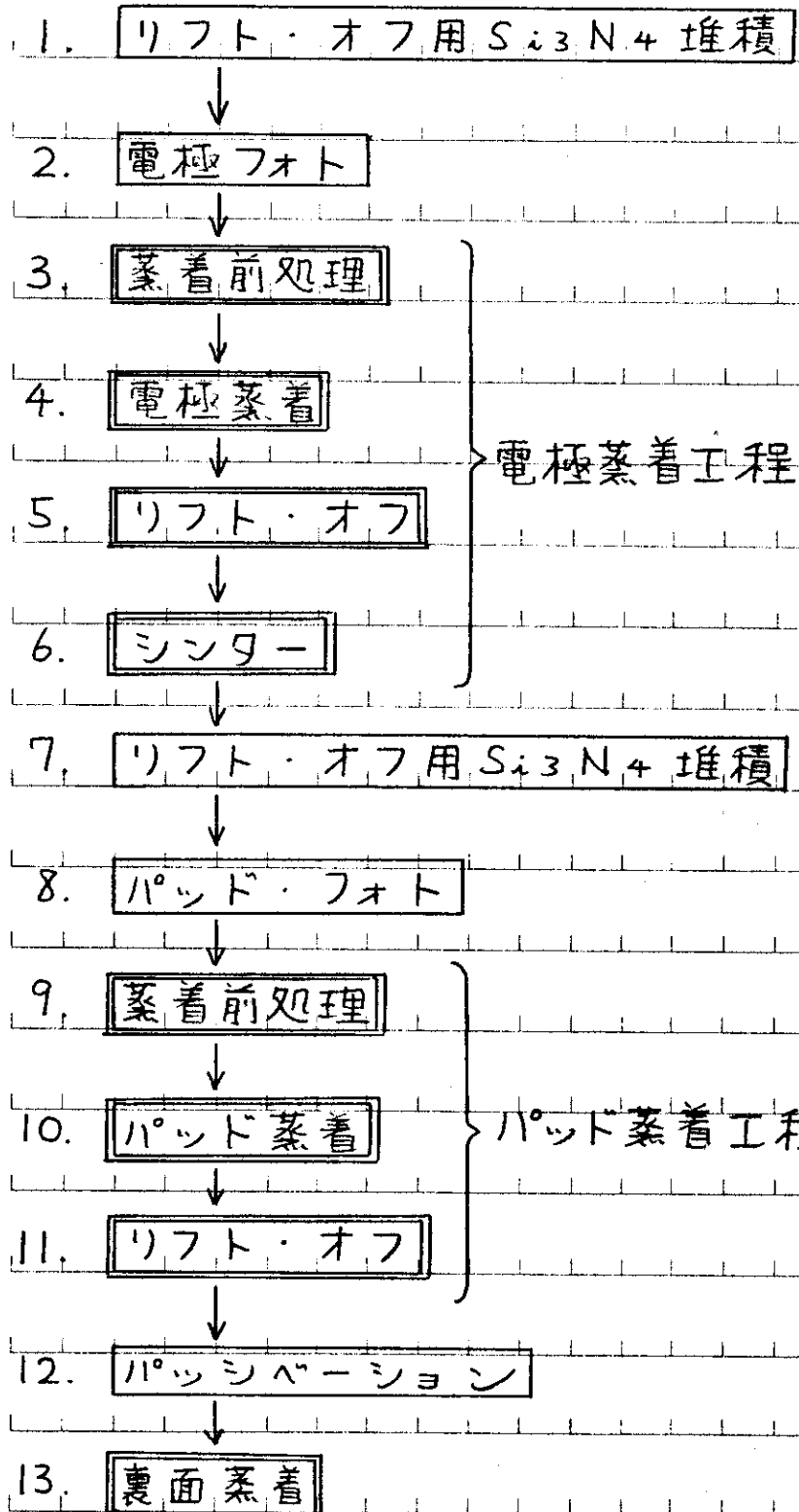


図1 電極プロセスの流れ

の多層メタルを蒸着する。リフト・オフ工程では蒸着したメタルのうちレジスト上の部分をレジストとともに除去し、その後 Si_3N_4 膜の全面除去を行う。シンター工程では蒸着したメタルを熱処理して電極をオーミック化する。

以上の工程で電極蒸着が終了し、次いで同様の工程を繰返してボンディング・パッドの蒸着を行う。本工程は蒸着メタルが Au のみである点を除き、電極蒸着工程と全く同様である。パッド蒸着工程終了後、パッシベーション・プロセスが行われる。

最後に、ダイス・ボンディングのための裏面蒸着を行って電極プロセスが終了する。

3. 各プロセスの検討

3.1 蒸着前処理工程

蒸着前処理工程では、フォトリソ工程終了後の試料をフッ酸バッファ液でエッチングした後、水洗、乾燥を行っている。リフト・オフ用 Si_3N_4 膜の膜厚は $4,000 \text{ \AA}$ 程度が適当であり、図2に示す $\text{NH}_4\text{F} : \text{HF} = 10 : 1$ のエッチ・レートからわかるように6分程度でエッチン

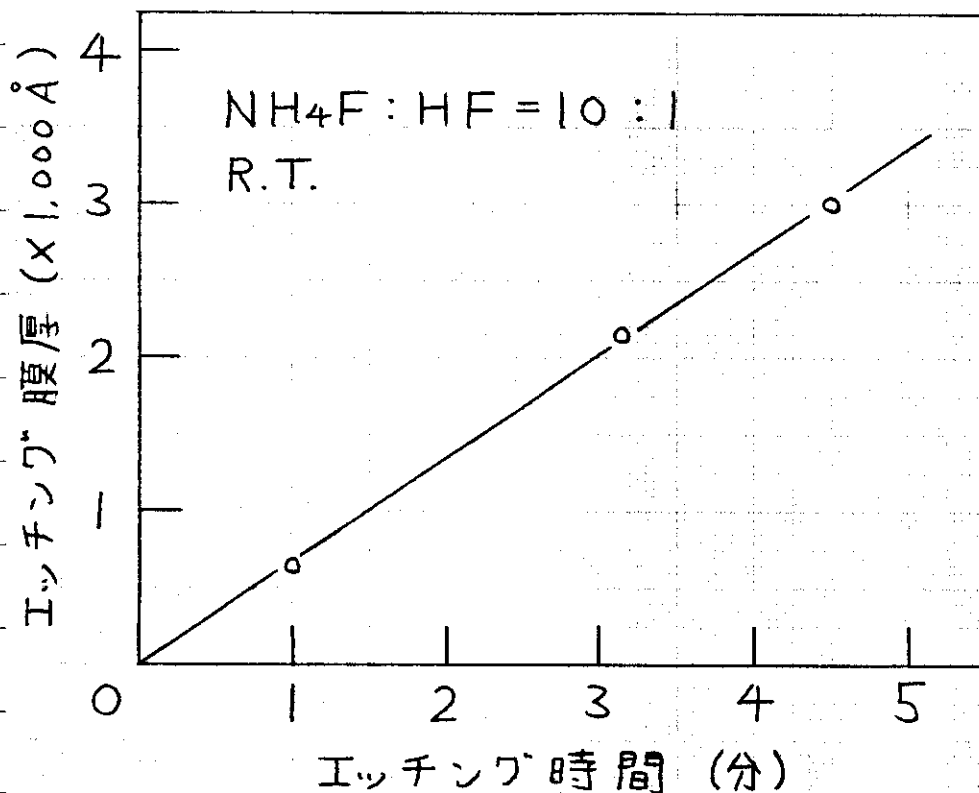


図2 Si_3N_4 膜のエッチ・レート

グされる。ただし、 Si_3N_4 膜のエッチ・レートのはらつきが大きいため、目検によるエッチングの終点確認が必要である。なお、リフト・オフの容易さの点からはエッチングをややオーバーに行うことが望ましいが、 $5\mu\text{m}$ 程度以下の細いリフト・オフ・パターンが存在する場合には、サイド・エッチが大きくなりすぎるとレジストのはかれを生じる可能性がある。

3.2 電極およびパッド蒸着工程

電極蒸着はEB蒸着装置により行った。膜厚、真空度等の蒸着条件を表1にまとめて示す。蒸着膜厚はXTM膜厚計によりモニターしている。基板温度はリフト・オフ用レジストの熱硬化を防ぐためにあまり高くすることは望ましくなく、通常ヒータによる基板加熱は行わず、室温から 90°C までの範囲で蒸着している。また、電極蒸着の際、細い蒸着パターンが存在する場合には斜め蒸着によって影が生じないように基板回転等を行う必要がある。蒸着電極のオーミック特性については「3.4 シンター工程」で述べる。

表1 電極蒸着条件

蒸着膜厚	$A_m: 500 \text{ \AA}$
(基板側から)	$S_m: 500 \text{ \AA}$
	$A_m: 2,000 \text{ \AA}$
蒸着前真空度	$< 3.0 \times 10^{-6} \text{ Torr}$
蒸着中真空度	$< 2.0 \times 10^{-5} \text{ Torr}$
基板温度	$< 90^\circ\text{C}$
蒸着速度	$5 \sim 10 \text{ \AA/sec}$

表2 パッド蒸着条件

蒸着膜厚	$A_m: 5,000 \text{ \AA}$
蒸着前真空度	$< 3.0 \times 10^{-6} \text{ Torr}$
蒸着中真空度	$< 3.0 \times 10^{-5} \text{ Torr}$
基板温度	$< 100^\circ\text{C}$
蒸着速度	$10 \sim 15 \text{ \AA/sec}$

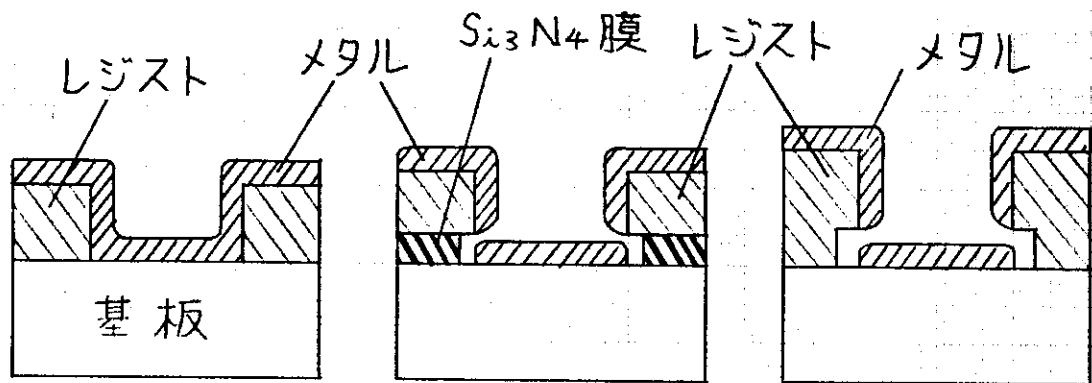
パッド蒸着もEB蒸着により行っているが、この場合は A_m のみを $5,000 \text{ \AA}$ 蒸着している。それ以外の蒸着条件は電極蒸着条件とほぼ同様である。ただし、EB蒸着で A_m を厚く蒸着すると基板温度が上昇しやすいため、

基板温度が上昇しすぎた場合蒸着を中断して基板の冷却を行う必要がある。パッド蒸着条件を表2にまとめて示す。

3.3 リフト・オフ工程

リフト・オフは蒸着終了後の試料をアセトンで超音波洗浄することにより行う。リフト・オフ工程で問題となるのは、リフト・オフで残したいパターンのはかれと除去したいパターンの残りである。超音波洗浄の強度を強くすると前者の問題が生じやすく、弱くすると後者が生じる。これら両方の問題を解決するためには本資料で述べているレジストの下に Si_3N_4 膜を敷くという方法が有効である。

図3(1)に示すように通常のレジストによるリフト・オフではメタルがレジストの断面において切断されず、リフト・オフの際にアセトンがレジスト部分へ浸透しにくくなってメタルの残りが生じやすい。同時に、レジスト上のメタルがリフト・オフされる際に基板上のメタルを引張るために逆にメタルのはかれも生じやすい。蒸着メ



(1) 通常のレジスト (2) Si_3N_4 膜 + レジスト (3) ひさし形レジスト

図3 リフト・オフ用レジストの形状

タルとして Au 系のものを用いた場合、レジスト膜厚を単に厚くするだけではこの問題は解決しない。一方、レジストの下に Si_3N_4 膜を敷いた場合には図3(2)に示すように Si_3N_4 膜のサイド・エッチ部分でメタルの段切れが生じ、リフト・オフが非常に容易になる。メタルの段切れを生じさせるためには必ずしも Si_3N_4 膜を用いる必要はなく、レジストそのものの形状をひさし形となるようにしてもよく(図3(3)参照)、この方法については現在検討中である。

リフト・オフ用 Si_3N_4 膜の膜厚としては細いメタルの抜きパターンが存在する場合にはメタルの膜厚よりやや厚くするのが望ましく、現行の電極蒸着工程では $\text{Au}/$

Sm/Au 電極の全膜厚 $3,000 \text{ \AA}$ に対し、 Si_3N_4 膜の膜厚を $4,000 \text{ \AA}$ としている。これに対して Si_3N_4 膜の膜厚を $3,000 \text{ \AA}$ とするとパターンの細い部分で金属の残りが生じやすい。一方、パッド蒸着工程では細いパターンが無いので、 Au の膜厚 $5,000 \text{ \AA}$ に対し Si_3N_4 の膜厚は $4,000 \text{ \AA}$ としている。

リフト・オフ後、リフト・オフ用 Si_3N_4 膜の全面除去を行う。

3.4 シンター工程

$\text{Au}/\text{Sm}/\text{Au}$ 電極は N_2 雰囲気中で 420°C 、5分のシンターを行いオーミック化している。

コンタクト抵抗のシンター条件依存性を図4に示す。

図4の測定は Fe ドープ半絶縁性 InP 基板に ^{28}Si を 100 keV で $1.0 \times 10^{13} \text{ cm}^{-2}$

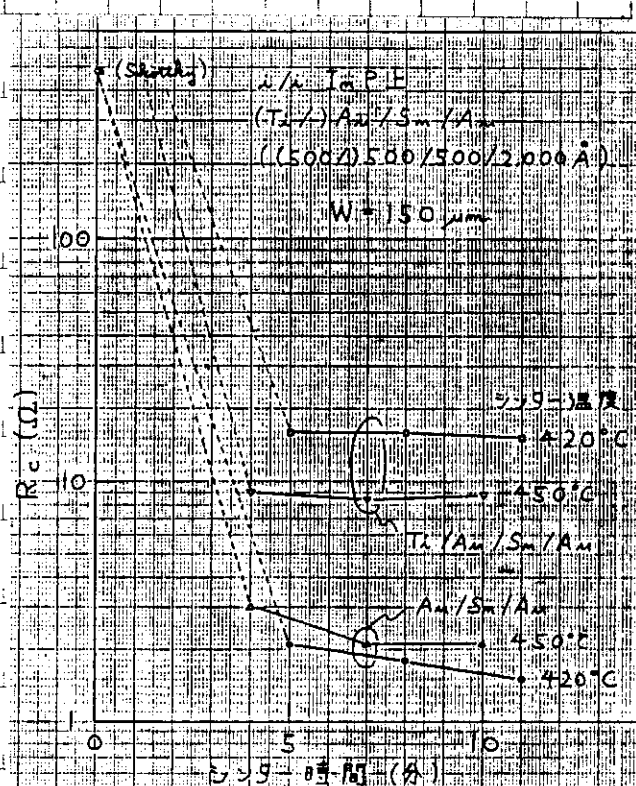
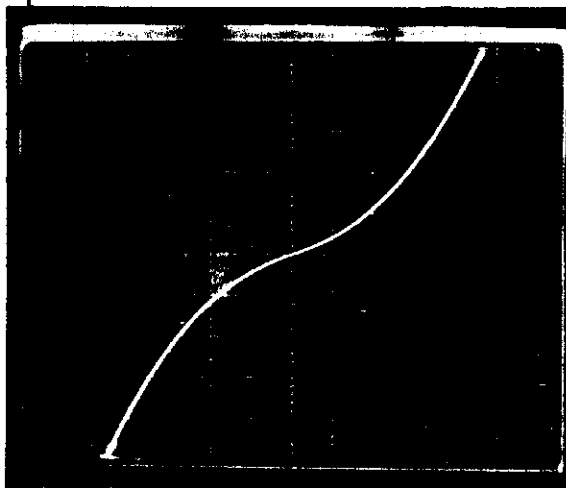


図4 $(\text{Ti}/\text{Au})/\text{Sm}/\text{Au}$ 電極のコンタクト抵抗

イオン注入した試料に対するもので、実際のPIN/FETの電極とは若干条件が異なる。測定はTLM法によって行っており¹⁻³⁾、電極面積は $100\text{ }\mu\text{m}$ (長さ) $\times$ $150\text{ }\mu\text{m}$ (幅) である。図4には $\text{Au}/\text{Sm}/\text{Au}$ 電極を 420°C と 450°C でシンターした場合以外に $\text{Ti}/\text{Au}/\text{Sm}/\text{Au}$ ($500\text{ }\text{\AA}/500\text{ }\text{\AA}/500\text{ }\text{\AA}/2,000\text{ }\text{\AA}$) 電極に対する測定結果も併せて示してある。同図より $\text{Au}/\text{Sm}/\text{Au}$ 電極を 420°C でシンターした場合、最も低いコンタクト抵抗が得られることがわかる。図5に $\text{Au}/\text{Sm}/\text{Au}$ 電極のシンター前とシンター後の電流-電圧特性を示す。



(1) シンター前

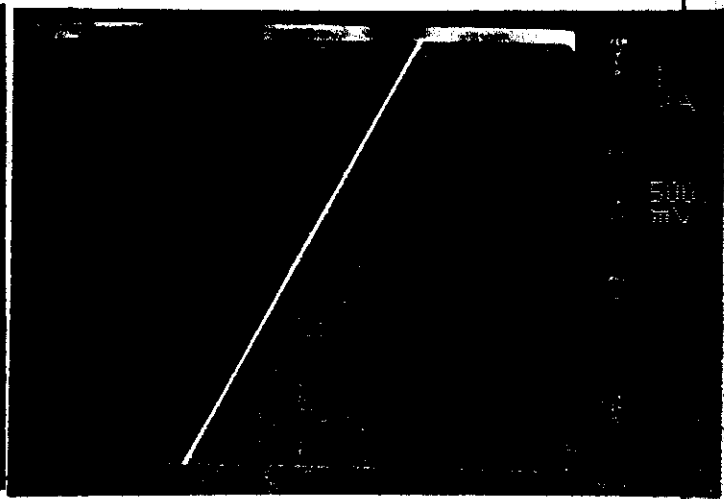
(2) 420°C , 5 min シンター後

図5 $\text{Au}/\text{Sm}/\text{Au}$ 電極の
電流-電圧特性

3.5 裏面蒸着工程

完成したPIN/FETは、 Au/Sm はんだを用いてTO-5パッケージにダイス・ボンディングするが、その際基板裏面とはんだの濡れを良くしてボンディング強度を高めるために裏面に $Au/Sm/Au$ の蒸着を行う。

裏面蒸着条件およびボンディング用はんだの検討結果を図6、7に示す。裏面蒸着の方法としては、 Au のみ($5,000 \text{ \AA}$)、 $Au/Sm/Au$ ($1,000 \text{ \AA}/1,000 \text{ \AA}/3,000 \text{ \AA}$)についてシンター無と有(420°C , 5分)および Ti/Au ($1,000 \text{ \AA}/5,000 \text{ \AA}$)についてシンター無の5条件に対して検討を行った。また、はんだとしては Au/Sm 、 Pb/Sm の2種を用いた。図6は基板裏面とはんだの濡れ状態を示すもので、図7はボンディング後のせん断強度を示す。

図6、7の結果より、 $Au/Sm/Au$ を蒸着し、シンター無で Au/Sm はんだを用いてダイス・ボンディングした場合、最も良好な結果が得られることがわかる。

	DB 前	Au/sn 半田	備考	Pb/sn 半田	備考
Au 熱処理済			良		良
Au 5M 熱処理済			半田のぬれに 40%露出が認められる		半田のぬれに 100%露出が認められる
Au 50 Au 熱処理済			良		良
Au 50 Au 5M 熱処理済			良		半田のぬれに 40%露出が認められる
Pb Au			良		良

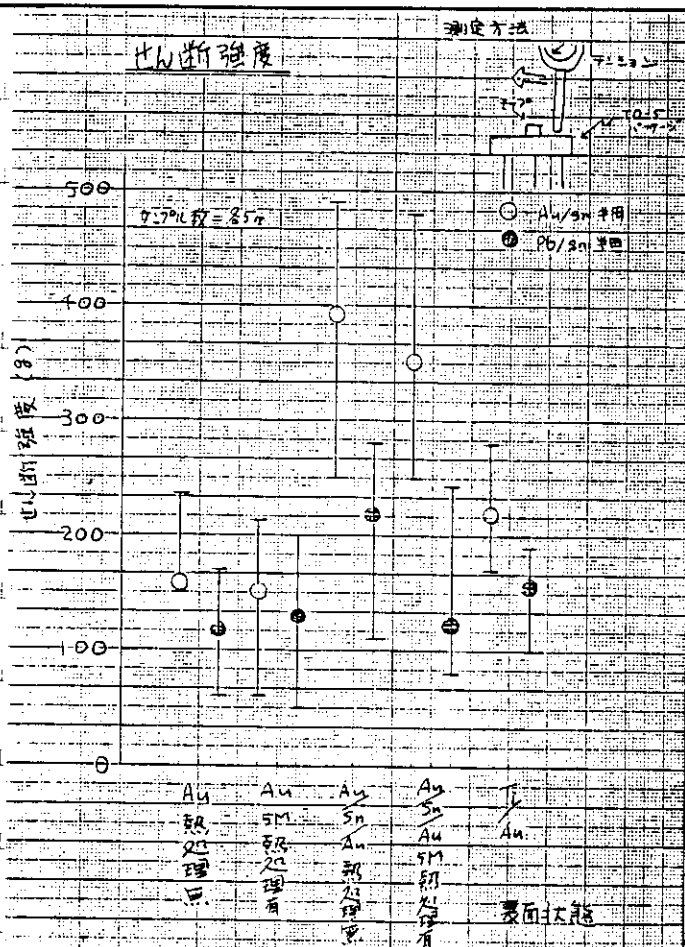


図6 ダイス・ボンディング
後の基板裏面状態

図7 ダイス・ボンディング
後のせん断強度

4. $Au/Sm/Au$ 電極の評価

4.1 コンタクト抵抗

(Ti/) $Au/Sm/Au$ 電極のコンタクト抵抗 R_c は図4に示した通りであるが、 $Au/Sm/Au$ 電極を 420°C でシンターした場合のコンタクト抵抗率 ρ_c と電極直下層のシート抵抗 R_s^* の変化を図8、9に示す。測定は図4と同様 Fe ドープ IMP 基板に ^{28}Si を 100 keV で

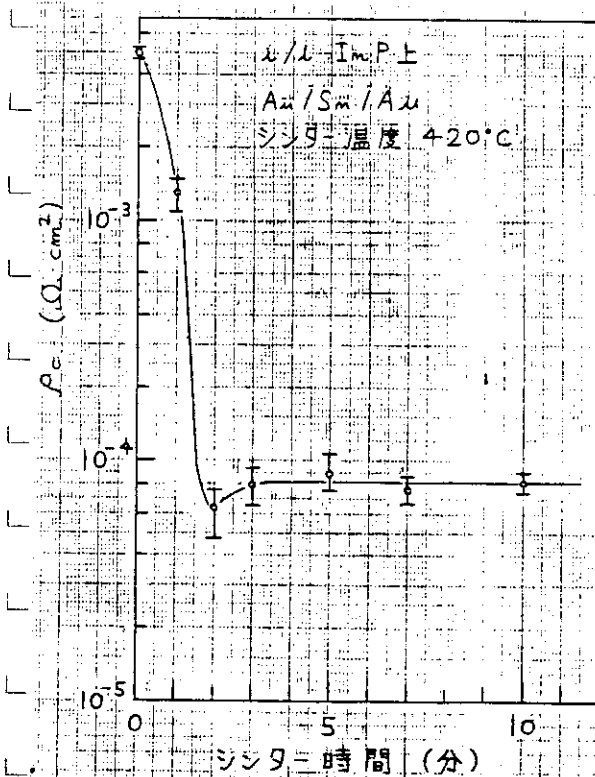


図8 $Au/Sm/Au$ 電極のコンタクト抵抗率

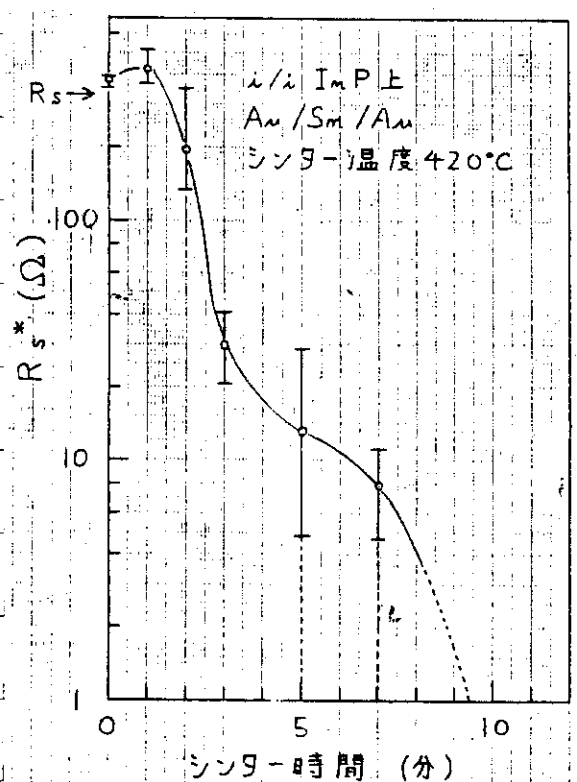
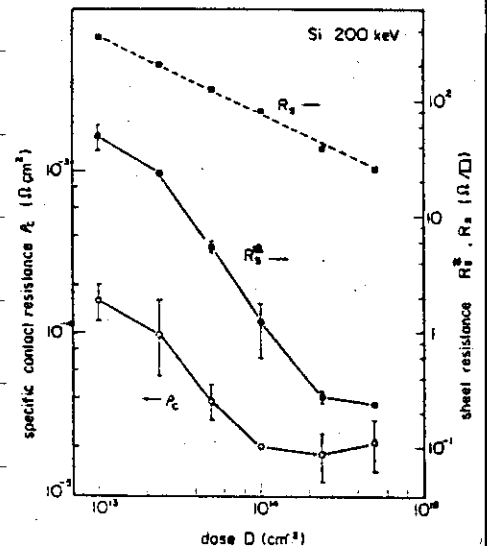


図9 $Au/Sm/Au$ 電極の電極直下層のシート抵抗

$1.0 \times 10^{13} \text{ cm}^{-3}$ イオン注入した試料に対して行っており、この試料の本来のシート抵抗 R_s は 330Ω である。これに対し、シンター後の電極直下層のシート抵抗は 10Ω 以下に減少している。

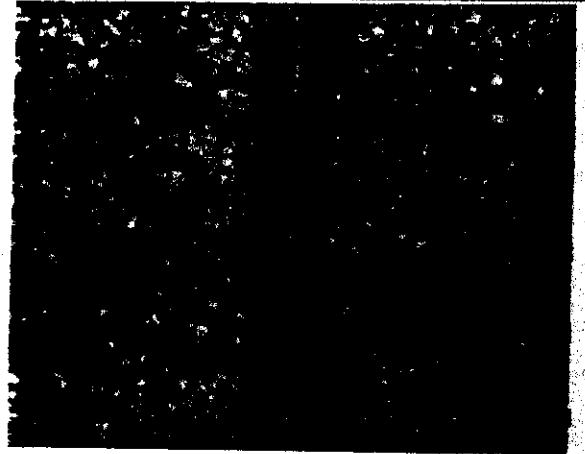


一方、図10は山口らが報告している電極として $\text{Au}/\text{Ni}/\text{AuGeNi}$ 図10 $\text{Au}/\text{Ni}/\text{AuGeNi}$ を用いた場合の測定結果である⁴⁾。この電極の特性⁴⁾の場合 Si イオン注入が 200 keV で行われているが、 $1.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で比較する限り、 $\text{Au}/\text{Sm}/\text{Au}$ 電極の方が $\text{Au}/\text{Ni}/\text{AuGeNi}$ 電極に比べて ρ_c はやや低くなっている。

4.2 シンター後の表面の荒れ

現行の $\text{Au}/\text{Sm}/\text{Au}$ 電極の問題の一つは、シンター後の表面の荒れである。図11(1)は $\text{Au}/\text{Sm}/\text{Au}$ 電極を 420°C 、5分シンターした後の表面であるが、表面に多数のマウンドが生じている。この表面の荒れのために

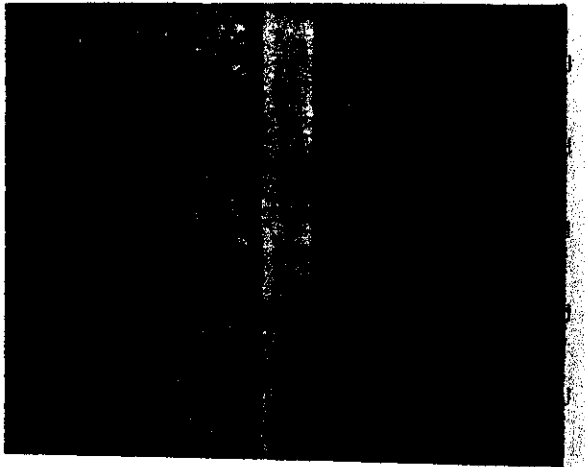
シンター後のパッド・フォト
 工程およびパッド蒸着前処理
 工程で、レジストあるいは
 Si_3N_4 の抜けが悪くなるこ
 とがある。



現行の膜厚 ($\text{Au}/\text{Sm}/\text{Au}$: (1) $\text{Au}/\text{Sm}/\text{Au}$ 電極

$500 \text{ \AA} / 500 \text{ \AA} / 2,000 \text{ \AA}$)

では Sm が約 9 wt.% 含まれて
 いるが、Barnes らは $\text{Au}-\text{Sm}$
 電極中の Sm の含有量が 3 wt.%



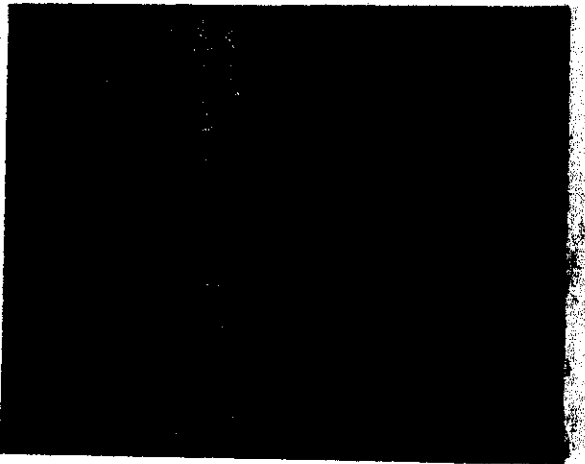
(室温における Au 中の Sm
 の溶解度) を超えると Sm の
 マウンドを生じるとしている⁵⁾

(2) $\text{Ti}/\text{Au}/\text{Sm}/\text{Au}$ 電極

しかし、図 11 (b) に示すよう

に、 $\text{Ti}/\text{Au}/\text{Sm}/\text{Au}$ 電極で

は、シンター後もマウンドを
 生じておらず、マウンドの生
 じる原因は必ずしも Au 中の



Sm の溶解度だけによると

(3) $\text{Au}/\text{Sm}/\text{Au}/\text{Pd}/\text{Au}$ 電極

は考えにくい。

図 11 シンター後の電極表面 ($\times 880$)

Ti / Au / Sm / Au 電極は
 Au / Sm / Au 電極に比べて
 シンター後も表面が比較的
 滑らかであるが、図4に示
 したようにコンタクト抵抗
 が5倍以上増加する。一方、
 図11(c)に示したのは Au /
 Sm / Au / Pd / Au (100 Å /
 100 Å / 200 Å / 1,000 Å /
 2,000 Å) 電極のシンター

後の表面である。この場合シンター後も表面は非常に滑
 らかである。また、Au / Sm / Au 電極と比較したコンタ
 クト抵抗を図12に示すが、コンタクト抵抗の増加は2
 倍程度にとどまっている。Au / Sm / Au / Pd / Au 電極の
 プロセス導入については、現在検討中である。

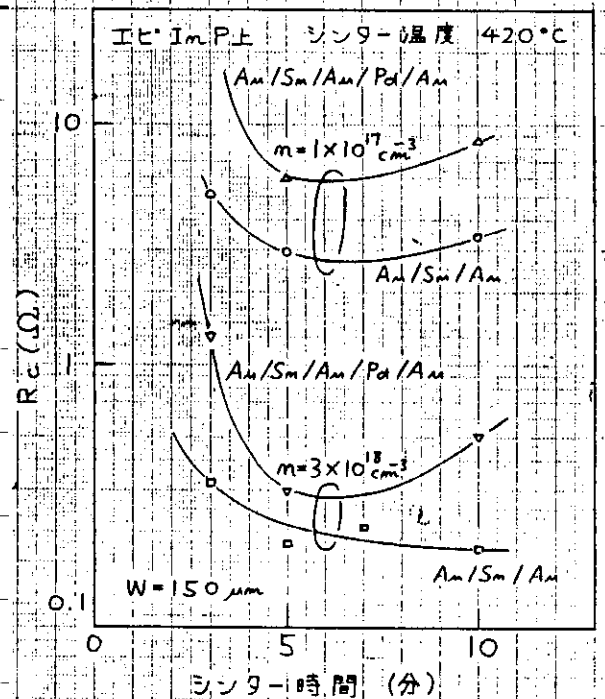


図12 Au / Sm / Au (Pd / Au)
 電極のコンタクト抵抗

5. まとめ

P I N / F E T の電極プロセスは、以上述べてきたように一応確立された技術であるといえる。しかし、今後プロセスへの導入を検討すべき課題として、本文中でも述べたように

(1) ひさし形レジストによるリフト・オフ方法

(2) シンター後の表面が滑らかな電極形成方法

がある。また、本文中では触れなかったが、ワイヤ・ボンディング時にパッド部分がはかれやすいといった問題も生じている。

今後はこのような課題を解決していくと同時に、P I N / F E T を製品化していく上で、どこで誰が行っても歩留よく実現できる信頼性の高いプロセスを確立していくことが必要であると考えられる。

参考文献

- 1) H. H. Berger, "Contact resistance on diffused resistors," IEEE ISSCC Proc., p. 160, 1969.
- 2) I. F. Chang, "Contact resistance in diffused resistors," J. Electrochem. Soc., vol. 117, p. 368, 1970.
- 3) G. K. Reeves et al., "Obtaining the specific contact resistance from transmission line model measurements," IEEE Electron Dev. Lett., vol. EDL-3, p. 111, 1982.
- 4) E. Yamaguchi et al., "Ohmic contacts to Si-implanted InP," Solid-State Electron., vol. 24, p. 263, 1981.
- 5) P. A. Barnes et al., "Alloyed tin-gold ohmic contacts to n-type indium phosphide," Solid-State Electron., vol. 24, p. 907, 1981.