低テールカレント・パスバンド型PINフォトダイオードの開発(2) ーチップ表面の平滑化とパスバンド特性の改善一

Development of PIN Photodiodes with Low Tail Current and Passband Sensitivity -Smoothing of Chip Surfaces and Improvement on Passband Characteristics-

		目 次	
1.	はじ	めに	3
2.	設計	および試作	
2.	1	デバイス構造	4
2.	2	プロセスの改善点	6
3.	結果	および考察	
3.	1	チップ表面の平滑化	7
3.	2	パスバンド特性	9
3.	3	暗電流・容量特性 1	1
4.	まと	Ø 1	16
	参考	文献 1	16

1. はじめに

光加入者系(FTTH: fiber to the home)における当社の優位性を確保するためのキー デバイスとして、我々はファイバ埋込型光回路(FEC: fiber embedded optical circuit)による波長多重・双方向光モジュールの開発を進めている[1]。この光モジュ ールに最適な表面実装受光素子として、低テールカレント・パスバンド型PINフォトダ イオード(PIN-PD)を開発した結果については、既に技術資料[2]で報告した通りであ る。このPIN-PDでは、低テールカレントとするためにメタルによって受光部以外を遮 光する構造としたが、これによる耐圧の低下や浮遊容量の増加はほとんど生じていな い。また、メタル遮光によってテールカレントは7dB程度低減され、信号光遮断後 100ns経過時のテールカレントは信号電流よりも30dB以上低い値となった。さらに、パ スバンド特性に関しては、1.3 μ mと1.55 μ mの信号光に対する感度比が、入射パワ-30dBm(1 μ W)以下で21dB程度、-10dBm(100 μ W)で37dB、0dBm(1mW)で44dBという結果が 得られた。

以上の性能は当初の開発目標を十分満足するものであるが、いくつかの課題も残さ れていた。これは以下の3点に要約される。

- (1) テールカレントを十分に抑圧するために、遮光メタルを2層とする構造としたが、 下層遮光メタルのAu/Sn/AuはシンターによってSnが偏析してボールアップするため、Au/Sn/Auを蒸着した領域は表面が荒れた状態になる。電極パッドもこの領域上 に形成されるので、表面実装時に電極パッドとガラス基板上の半田バンプの密着が 悪くなる。
- (2) 波長1.3µmと1.55µmの感度比が21dBというパスバンド特性は当初のスペックを満足しているが、さらに波長1.3µmと1.65µmの感度比として30dB以上必要との要求がシステム側から出された。これは、波長1.65µmの光を伝送路の検査に用いるためであるが、パスバンドPIN-PDの感度は1.55µmと1.65µmで大差はなく、事実上パスバンド特性を10dB改善する必要がある。
- (3) 低テールカレント・パスバンド型PIN-PDは開発試作というレベルでは十分な完成度 を有しているが、量産化に向けた工程安定化についてはさらなる検討が必要であ る。特に、PIN-PDの基本特性である暗電流と容量については、ロット間のばらつき

要因を明確化して、常にスペック内に収めることができるようにしなければならない。

今回開発したPIN-PDでは、最終的に下層遮光メタルをCr/Pt/Auとすることで上記(1) の課題を解決した。また、(2)については、エピの品質改善によって波長1.3µmと1.55 µmあるいは1.66µmの感度比として45dB以上を確保し、必要スペックを十分に満足す ることができた。さらに、(3)については、暗電流の増加要因および容量の決定要因を 明確化し、再現性よく低暗電流・低容量特性を得るための指針を明確化した。

2. 設計および試作

2.1 デバイス構造

今回作製したPIN-PDの構造を図1に示す。n⁺-InP基板(Sドープ、n~5×10¹⁸cm⁻³、 d=350 μ m)上にn⁻-InPバッファ層(アンドープ、n~2×10¹⁴cm⁻³、d=2.0 μ m)、n⁻-InGaAs 光吸収層(アンドープ、n~2×10¹⁴cm⁻³、d=2.5 μ m)、n⁻-InPウインドウ層(アンドー プ、n~2×10¹⁴cm⁻³、d=1.7 μ m)、n⁻-InGaAsコンタクト層(アンドープ、n~2×10¹⁴cm⁻³、 d=0.1 μ m)を成長したエピ基板にZnを拡散して、コンタクト層、ウインドウ層およ び光吸収層の上端部をp型に反転した受光部を形成している。なお、パスバンド型では 光吸収層をn⁻-InGaAsP(アンドープ、n~2×10¹⁴cm⁻³、d=2.5 μ m)としている。



図1 2層メタル遮光型PIN-PDの断面構造

InGaAsコンタクト層は、光信号が効率的に光吸収層に到達するようにp電極下部を除いて除去されている。受光部はリング状p電極の内径が80µmφで、SiN(屈折率1.86)によるARコートが施されている。ファイバ埋込型モジュールでは、垂直方向から30°オフで屈折率1.46のエポキシ樹脂を通して信号光が入射するということを考慮して、ARコートの厚さは1900Åとしている。結晶表面のpn接合のパッシベーションとパッド容量の低減を両立させるため、保護膜はSiN(300Å)/SiO₂(5000Å)の2層構造になっている。

図2にPIN-PDチップの平面図を示す。チップサイズは500×300µm²である。pおよ びn電極パッドは50µmφで、ファイバ埋込基板のバンプに対応して受光部とバンプの 中心間隔が150µmとなる位置に設けられている。n電極はn⁻層をエッチングしてn⁺-InP 基板の表面が露出した底面に形成されているが、n電極パッドの部分はn⁻層をエッチン グせずにp電極パッドと同じ高さになっている。また、受光部以外のチップ表面は、テ ールカレントを低減するために下層および上層遮光メタルで覆われている。上層遮光 メタルはTi(500Å)/Pt(1000Å)/Au(3000Å)で、p電極・配線・パッドと同時に蒸着さ



図2 2層メタル遮光型PIN-PDの平面図

れる。下層遮光メタルはn電極としても用いられるが、その材料を検討した結果については後で詳しく述べる。

受光部のZn拡散領域と上層遮光メタルの間隙は、フォトマスク上では2.5µmである が、実際には拡散の横広がりおよび空乏層の広がりがあるため、受光領域と上層遮光 メタルは完全にオーバーラップしている。上層および下層遮光メタルによって受光部 以外のチップ表面は端部まで完全に遮光されることになる。ただし、PIN-PDチップを ガラス基板上にフリップチップ実装する際の合せマークとして利用するため、チップ の4隅にメタルが蒸着されていない部分を設けている。

メタルによる遮光はSi PIN-PDでは一般的な構造であるが、InGaAs PIN-PDではほと んど使われていない。これは、InGaAs PIN-PDのテールカレントはSi PIN-PDに比べる と小さいため、従来のシステムではあまり問題とならなかったこともあるが、遮光メ タルを導入すると一般的にはプロセス工数が増え、微細な位置合せが必要なことから 製造歩留りが低下する恐れがあるためである。また、遮光メタルによって浮遊容量が 発生する可能性もある。今回開発した構造では、遮光メタルを電極メタルと共通化す ることで工数の増加を抑えており、歩留りの低下・チップ容量の増加はともに生じて いない。

2.2 プロセスの改善点

図1および2に示したPIN-PDを作製するためのプロセスフローは、基本的には技術 資料[2]で報告した従来の低テールカレント・パスバンド型PIN-PDと同じである。ここ では、プロセスの改善点についてのみ述べることとする。

(1) 下層メタル蒸着

n電極および下層遮光メタルとして、従来はAu(100Å)/Sn(150Å)/Au(3000Å)を蒸 着・リフトオフしていた。しかし、n電極をオーミック化するためにリフトオフ後350 ℃、30分間のシンターを行うと、Snのボールアップによって表面荒れが生じる。そこ で、下層メタルとして上層メタルと同じTi(500Å)/Pt(1000Å)/Au(2000Å)を検討し た。しかし、TiはHF溶液に容易にエッチングされてしまうことから、Ti/Pt/Auを用い ると下層メタル蒸着以後はHF:NH4Fによるウェットエッチングができなくなる。そこ で、最終的にはCr(500Å)/Pt(1000Å)/Au(2000Å)を用いることにした。これらの金属 を蒸着した場合のシンターは350℃、10分間とした。

(2) 上層メタル蒸着

p電極および上層遮光メタルとして、従来はTi(500Å)/Pt(1000Å)/Au(4000Å)を蒸 着・リフトオフしていた。ウエハ表面が平坦な場合は、ARコートとなるSiN(1900Å)を スペーサとすることで、このTi/Pt/Auは容易にリフトオフされる。しかし、n電極を形 成するためのコンタクト穴を形成したウエハでは、塗布されるレジストの膜厚が目減 りするために、特にウエハの周辺部でうまくリフトオフされない領域が発生する。そ こで、Ti/Pt/AuのTiとPtの膜厚はそのままにして、Auの膜厚を4000Åから2000Åに半 減した。この結果、ウエハ周辺部までほぼ完全にリフトオフされるようになった。Au の膜厚を従来4000Åと厚くしていたのは、ワイヤボンディングの強度を確保するため であるが、このPIN-PDは表面実装用でフリップチップ実装されるため、特にAuの厚さ を厚くする必要はない。リフトオフ後は、350℃で10分間のシンターを行う。

3. 結果および考察

3.1 チップ表面の平滑化

図3(a)~(d)は、下層メタルをAu(100Å)/Sn(150Å)/Au(3000Å)、Ti(500 Å)/Pt(1000Å)/Au(2000Å)、およびCr(500Å)/Pt(1000Å)/Au(2000Å)とした場合の チップの表面状態である。図3(a)はAu/Sn/Auの場合であり、蒸着後の熱処理でSnのボ ールアップが発生し、下層メタルが蒸着された部分は表面荒れが発生している。チッ プ表面の微細な凹凸によって光が乱反射されるため、写真では下層メタルが蒸着され た部分が黒っぽく写っている。このような表面状態ではあるが、暗電流は20pAと小さ い値である。一方、図3(b)および(c)はTi/Pt/Auを用いた場合であり、(b)では Ti/Pt/Au蒸着後にHF:NH4F=1:10(体積比)によるウェットエッチングを行っている。こ のウェットエッチングは、下層メタルをリフトオフする際のスペーサのSiN(2000Å)を 除去するとともに、最終パッシベーション膜となるSiN(300Å)を堆積する際の前処理 であり、後で述べる(c)以外のウエハはすべてこの工程を行っている。Ti/Pt/Auを下層メタル

- 7 -





 図3 下層メタルの種類によるチップの表面状態と暗電流: (a) Au/Sn/Au: Snの ボールアップで表面荒れ発生、暗電流〜20pA、(b) Ti/Pt/Au(蒸着後、HF エッチあり): Tiのサイドエッチが発生、暗電流〜30pA、(c) Ti/Pt/Au (蒸着後、HFエッチなし): 表面状態良好、暗電流〜500pA、(d) Cr/Pt/Au: 表面状態良好、暗電流〜25pA

として蒸着後にこのエッチングを行うと、図3(b)に見られるようなTiのサイドエッチ が発生する。

そこで、Ti/Pt/Auを下層メタルとして蒸着後、CF₄ドライエッチによってスペーサの SiNをエッチングしたのが、図3(c)である。この場合、最終パッシベーション膜の堆積 前処理も行われなくなってしまうので、スペーサのSiN(2000Å)を1000Å以下に薄膜化 してそのままパッシベーション膜とする工程を採用した。ここで、SiNを薄膜化するの は、その上にSiO₂(5000Å)を堆積した際にSiNがストレスでひび割れるのを防止するた めである。この工程によって図3(c)に示す通り非常に良好な表面状態が得られたが、 暗電流が500pAに増加するという問題が発生した。図3(b)の暗電流は30pAであること から、この暗電流増加の原因はスペーサのSiNをドライエッチで薄膜化してそのまま パッシベーション膜とする工程にあると考えられる。

以上の結果を踏まえて、最終的な下層メタルとしてCr/Pt/Auを採用した。Cr/Pt/Au はHFによってエッチングされないので、蒸着後にHF:NH4Fによるウェットエッチングを 行ってもサイドエッチが発生することはない。最終パッシベーション膜を堆積する前 にHFエッチングが行えるので、暗電流も25pAと小さい値になっている。また、熱処理 後も図3(d)に示される通り平滑な表面状態を維持しており、Cr/Pt/Auは下層メタルの 材料として最適であるといえる。

3.2 パスバンド特性

通常の長波長帯PIN-PDでは光吸収層にInGaAsを用いるが、パスバンド型では吸収端 波長が1.4μmのInGaAsPを用いている。光吸収層をInGaAsPにした場合も、それ以外の 構造・作製プロセスには変更がなく、波長感度特性以外のPIN-PDの性能は変化しな い。波長感度特性については、光吸収層が禁制帯内に準位のない完全な半導体結晶で あれば、吸収端波長よりも長波長の光は全く吸収せず、パスバンド化によって1.55μm の信号光に対する応答はなくなる。実際の結晶では不純物や欠陥による禁制帯内の準 位があるため、これを介して1.55μmの信号光によっても電子-正孔対が励起され、若 干の光応答が生じる。すなわち、パスバンド特性は結晶品質に大きく依存する。

図4(a)は今回新たに試作したパスバンド型PIN-PDの特性であり、波長1.3 μ m、 1.55 μ m、および1.66 μ mの半導体レーザを光源として測定した光電流の入射パワー依 存性を示している。波長1.3 μ mの光に対する感度は入射パワーが100nW(-40dBm)から 1mW(0dBm)までほぼ一定で、光電流は入射パワーに対してリニアな応答をしている。一 方、波長1.55 μ mおよび1.66 μ mに対する光電流も入射パワーに対してリニアな応答を するが、その光電流は波長1.3 μ mに対する光電流よりも5桁近く低い値になってい る。なお、波長1.55 μ mおよび1.66 μ mに対して入射パワー100nAに対する測定結果がな





図4 波長1.3µm、1.55µm、および1.66µmの半導体レーザを光源として測定した光電流の入射パワー依存性:(a)パスバンド型PIN-PD、(b)非パスバンド型PIN-PD



図5 パスバンド型PIN-PDの波長1.3µmの信号光と波長1.55µmあるいは 1.66µmの信号光に対する感度比の入射パワー依存性

いのは、光電流が小さくなりすぎて測定できないためである。また、波長1.66µmに対 して入射パワー1mWに対する測定結果がないのは、波長1.66µmの半導体レーザの最大 光出力(ファイバ出力)が1mWに達しないためである。一方、図4(b)は、比較のために 同様の測定を非パスバンド型PIN-PDに対して行った結果である。この場合は、入射パ ワーが1nW(-60dBm)から1mW(0dBm)まで、何れの波長に対してもほぼ同じ値の光電流が 観測されている。

図5はパスバンド型PIN-PDの波長1.3 μ mの信号光に対する感度と波長1.55 μ mあるいは1.66 μ mの信号光に対する感度の比を横軸を入射パワーとしてプロットしたものである。入射パワーが316nW(-35dBm)から1mW(0dBm)あるいは316 μ W(-5dBm)の全域に渡って45dB以上の感度差が得られている。この結果は、波長1.3 μ mと1.65 μ mの感度比として30dB以上が必要というシステム側の要求を十二分に満足するものである。

3.3 暗電流·容量特性

PIN-PDの基本性能である暗電流・容量特性のロット間ばらつきについては技術資料 [2]でも報告したが、特に容量のばらつきの原因は必ずしも明確ではなかった。今回、 投入ロット数が増えた時点で、改めてこの点について検討した。



ロット-ウエハ番号(エピ番号)

図6 バイアス電圧-10Vで測定した暗電流のロット-ウエハ毎の推移

(1) 暗電流特性

図6はバイアス電圧-10Vで測定した暗電流のロット-ウエハ毎の推移を示したもの である。技術資料[2]で述べた通り、暗電流の大小は基本的にエピの品質で決ってお り、図中に白丸で示した良品ウエハでは暗電流の値はロット-ウエハ番号の後の括弧 内に示したエピ番号と対応している。例えば、PMD-701というエピロットはPD1-1、1-2、4-3、11-4というウエハで使われているが、暗電流の値は何れも200pA前後である。 このようなエピによる暗電流のばらつきは10~300pAの範囲で分布している。ただし、 PMS-701はエピ品質に問題があり、これを用いたPD15-4は暗電流が1nAと大きくなって いる。

エピ品質以外に暗電流が増加する原因としては、SiNの膜質不良とZnの拡散失敗があ る。Zn拡散については、PD11以降のロットではウエハ1と3、2と4をそれぞれ同一アン プルで処理しており、どちらかのペアの暗電流が大きく、他のペアは正常値という場 合はZn拡散の失敗が暗電流増加の原因と判断される。例えば、PD11ではウエハ1と3の 暗電流が異常に大きく、Znがほとんど拡散されていないと考えられる。また、PD15の1 と3、PD16の2と4についてはZnの拡散が浅く、ウインドウ層の途中までしかZnが拡散さ れていないために暗電流が増加している。これらについては、後で述べる容量測定の 結果からも、拡散深さが浅いことが確認されている。

ー方、同一ロットのSiN堆積は同一バッチで行われるため、SiNの膜質不良の場合は ロット中のウエハ全ての暗電流が増加する。PD5ではSiNを堆積するプラズマCVD装置の トラブルで膜質が異常であったと考えられる。一方、PD12は図3(c)でチップ写真を示 したロットであり、下層メタル蒸着後にドライエッチで薄膜化したSiNをパッシベー ション膜としたことが膜質不良の原因である。SiNの膜質不良は突発的なトラブルか不 適切なプロセスフローによるものである。従って、低暗電流のPIN-PDを再現性よく製 造するためにはZnの拡散深さの制御が重要であり、拡散深さをウインドウ層の厚さ (1.7±0.2μm)以上にする必要がある。

(2) 容量特性

図7はアンドープInP基板でモニタしたZnの拡散深さと、バイアス電圧-3Vで測定したチップ容量の関係をプロットしたものである。表面実装PIN-PDの他に、従来のアナ



図7 アンドープInP基板でモニタしたZnの拡散深さとバイアス電圧 -3Vで測定したチップ容量の関係

ログPIN-PDに対する結果も示している。それぞれの品種において、拡散深さとチップ 容量の間には明確な相関がある。従って、チップ容量を一定値以下に制御するために は拡散深さを深くしすぎないことが重要である。アナログPIN-PDと表面実装PIN-PDの 拡散径はいずれも105μmφであり、同じ拡散深さに対する前者の容量が後者に比べて 大きくなっているのは、n-層の厚さが薄いためである。

バイアス電圧-3Vにおいてn⁻層が完全に空乏化しているとすれば、n⁻層の厚さをt、 拡散深さを x_j 、拡散面積をS、半導体層の誘電率を ε 、パッド容量を C_{pad} として、チッ プ容量 C_{chip} は次式で計算される。

 $C_{chip} = \varepsilon S / (t-x_j) + C_{pad}$ (1)

図7には ϵ = 12.4 ϵ_0 、S = π ·(52.5 μ m)²、t = 6.2 μ m (表面実装)、5.0 μ m (アナロ グ)、C_{pad} = 0.3pFとして計算したC_{chip}の値も同時にプロットしている。計算値と実測 値は概ね一致しているともいえるが、特に拡散深さが深いところで実測値の方が大き くなる傾向がある。

この原因について検討するために、バイアス電圧0--10Vで測定したC-V特性から 空乏層広がりと不純物密度の関係を計算した。この結果を図8に示す。異なるウエハ から採った3個の非パスバンド型表面実装PIN-PDについて測定しており、アンドープ InP基板でモニタした拡散深さは右端のカーブから順に1.2µm、2.3µm、2.5µmであ る。右端のカーブは拡散がウインドウ層中で止っているが、残り2本のカーブはInGaAs 光吸収層にまで達している。この2本についても、不純物密度が急激に増加する拡散フ ロントの深さはモニタ拡散深さとほぼ一致している。InGaAs層に表面からZnを拡散し た場合の拡散深さはInPの3分の1程度になるが、InPウインドウ層を通して拡散した場 合にはInP中と同じ速度でZnが拡散していくものと考えられる。また、拡散がInGaAs光



図8 異なるウエハから採った3個の非パスバンド型表面実装PIN-PDのC -V測定結果から計算した空乏層広がりと不純物密度の関係

吸収層にまで達した2本のカーブでは、拡散フロントからさらに深い位置にまで10¹⁵cm⁻³台の低濃度の拡散が入っている。すなわち、10¹⁴cm⁻³台前半のキャリア濃度のn⁻エピ 層とp⁺拡散層の間に10¹⁵cm⁻³台のp⁻反転層が形成されている。これが、図7において、 拡散が深いところでは容量の実測値の方が計算値よりも大きくなる理由であると考え られる。

4. まとめ

ファイバ埋込型モジュール用の受光素子として開発した低テールカレント・パスバ ンド型のPIN-PDの特性改善を行った。テールカレントを十分に抑圧するために2層構 造の遮光メタルとしているが、従来は下層遮光メタルとしてAu/Sn/Auを用いていたた めにAu/Sn/Auを蒸着した表面が荒れた状態になっていた。今回開発したPIN-PDでは、 下層遮光メタルをCr/Pt/Auとすることでこの問題を解決し、平滑な表面状態でかつ低 暗電流特性(25pA@-10V)を実現した。また、波長1.3µmと1.65µmの感度比として30dB 以上必要との要求がシステム側から出された。これについては、エピの品質改善に よって、入射パワー-35dBmから0dBmの測定領域全域において波長1.3µmと1.55µmあ るいは1.66µmの感度比として45dB以上を確保し、必要スペックを十分に満足すること ができた。さらに、低テールカレント・パスバンド型PIN-PDの量産化に向けた工程安 定化について検討した。PIN-PDの基本特性である暗電流と容量についてロット間ばら つきの要因を明確化し、常にスペック内に収めるためにはZnの拡散深さの制御が重要 であることを明らかにした。この拡散深さの制御性向上については現在検討中であ り、次回の技術資料で報告する予定である。

参考文献

- [1] T. Uno, T. Nishikawa, G. Tohmon, T. Yoshida, Y. Matsui, "Hybrid integration of $1.3\,\mu$ m transmitter and $1.55\,\mu$ m receiver with fiber embedded circuit," in Tech. Dig. OFC, Washington, DC, 1997, paper ThI3.
- [2] 松田, 光田, 宇野, 「低テールカレント・パスバンド型PINフォトダイオードの 開発」,登録技術資料 MEC-ERL 97-94 (1997).